

## **ПОСТРОЕНИЕ И ОПТИМИЗАЦИЯ ОДНОРАЗРЯДНОГО АЛУ С КОНТРОЛЕМ ВЫПОЛНЕНИЯ АРИФМЕТИЧЕСКИХ ОПЕРАЦИЙ**

*Оразбек Алуа Бауыржанкызы*

*Ученик*

*Назарбаев Интеллектуальная школа физико-математического направления,  
Алматы, Казахстан*

*E-mail: aluashka99@gmail.com*

Цель доклада — построение и обоснование одноразрядного арифметико-логического устройства (АЛУ), принадлежащего к классу цифровых схем, которое улучшает схему аналогичного устройства из [2]. Предлагаемое АЛУ предназначено для выполнения двух арифметических и шести логических операций, где для «сумматора» построена достаточно экономичная схема, которая используется и для реализации операций вычитания, при этом, для вычитания, обычно, применяется схема, построенная на основе дополнительного кода для отрицательных слагаемых. Здесь представляет интерес и вопрос о реализации вычитания по непосредственной схеме, без использования дополнительного кода. В связи с чем в данной работе для построения сумматора-вычитателя, как один из основных вариантов предлагается построить схему на основе сумматора из [1]. Такая модификация ведет к некоторому усложнению схемы сумматора [1] и требует обоснования. Следует заметить, что классическая, распространенная схема одноразрядного АЛУ Э.С. Таненбаума [2] подразумевает лишь 4 операции, и лишь одна из которых арифметическая (сложение). Схема АЛУ из [2] содержит избыточные вентили и не экономичный сумматор без контроля результата арифметических операций. В предлагаемой схеме АЛУ для контроля результата арифметической операций (сложение, вычитание) построен контрольный блок, который интегрирован в последний (в  $n$ -й) блок сумматора. Гипотеза, на которой основано построение схемы, состоит в следующем: классическая схема АЛУ [2] может быть улучшена и должна быть улучшена на основе методов дискретной математики и построением цифровых схем. Таким образом, предлагаемое усовершенствование основано на методах цифровой логики, дизайна схем и методах дискретной математики. Отметим, что функции блока контроля арифметических операций обосновываются специальной формулой, которая отсутствует в учебной литературе. Используемая в работе схема сумматора-вычитателя была проверена

в системе **PROTEUS**, и может быть описана также на языках **VERILOG**, **VHDL**, **AHDL**. Важно, что в работе для проверки корректности схемы построено логическое исчисление, где для каждой операций АЛУ записывается свое правило вывода. Восемь операций предлагаемой АЛУ, речь здесь идет об операциях:  $+$ ,  $-$ ,  $V$ ,  $\&$ ,  $XOR$ ,  $\rightarrow$ ,  $\bar{\alpha}$ ,  $\bar{\beta}$ , легко интерпретировать, как операции языка **ASSEMBLER** соответствующей машины, и их можно использовать для реализации подмножества языка **PROLOG**. Здесь  $\alpha, \beta$  — это операнды перечисленных операций. Кроме того, предлагаемое АЛУ можно интегрировать в элементарный процессор некоторой мультипроцессорной системы, а также использовать данное АЛУ при построении нейросетевой технологии.

Автор признательна своему научному руководителю д.ф.м.н., профессору Дюсембаеву А. Е. за постановку задачи и помощь в работе.

### Литература

1. Яблонский С. В. Введение в дискретную математику. М.: Высшая школа, 2003. С. 484
2. Таненбаум Э. С., Остин Д. Т. Архитектура компьютера. Санкт-Петербург: Питер, 2016. С. 160